

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-061456
 (43)Date of publication of application : 07.03.1997

(51)Int.CI. G01P 15/12
 H01L 29/84
 H05K 9/00

(21)Application number : 07-243597
 (22)Date of filing : 29.08.1995

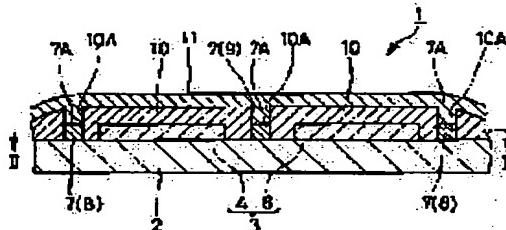
(71)Applicant : MURATA MFG CO LTD
 (72)Inventor : NAKAMURA HIDEAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of cutting off noise generated from a semiconductor circuit formed on a board.

SOLUTION: The semiconductor device 1 comprises an acceleration sensor 3 formed on a board 2, a conductive frame 7, an insulating film 10 and a conductive shield film 11. The sensor 3 has an oscillator 4 and a detector 6. The frame 7 is so formed on the board 2 as to surround the peripheries of the oscillator 4 and the detector 6. The film 10 is so formed as to cover the oscillator 4, and the detector 4 from the surface. A through groove 10A is formed at the forming position of the frame 7 on the film 10. The film 11 is so provided as to cover the film 10, and so gradually formed in the state as to be electrically conducted with the frame 7 via the groove 10A.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-61456

(43)公開日 平成9年(1997)3月7日

(51)IntCL
G 01 P 15/12
H 01 L 29/84
H 05 K 9/00

識別記号 庁内整理番号

F I
G 01 P 15/12
H 01 L 29/84
H 05 K 9/00

技術表示箇所
A
R

審査請求 未請求 請求項の数4 FD (全6頁)

(21)出願番号

特願平7-243597

(22)出願日

平成7年(1995)8月29日

(71)出願人 000006231

株式会社村田製作所
京都府長岡京市天神二丁目26番10号

(72)発明者 中村 秀昭

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

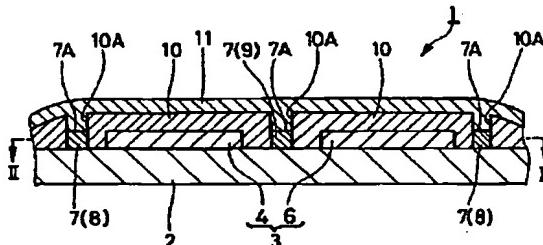
(74)代理人 弁理士 広瀬 和彦

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 基板上に形成された半導体回路から発生するノイズを遮断できる半導体装置を提供する。

【解決手段】 半導体装置1は、基板2上に形成された加速度センサ3と、導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11とから構成される。加速度センサ3は、発振回路4と検出回路6とから構成される。導電性枠体7は、発振回路4と検出回路6の周囲をそれぞれ取囲むように基板2上に形成される。絶縁性膜体10は、発振回路4と検出回路6とを表面から覆うように形成される。また、絶縁性膜体10には導電性枠体7の形成位置に貫通溝10Aが形成される。導電性遮蔽膜体11は、絶縁性膜体10を覆うように設けられ、貫通溝10Aを介して導電性枠体7と電気的に導通した状態で一體的に形成される。



【特許請求の範囲】

【請求項1】 基板と、該基板上に設けられた半導体回路と、該半導体回路の周囲を取囲むように前記基板上に設けられ導電性材料からなる導電性枠体と、前記半導体回路の表面を覆うように前記基板上に設けられ絶縁材料からなる絶縁性膜体と、該絶縁性膜体の表面を覆うように前記導電性枠体に接触した状態で前記基板上に設けられ導電性材料からなる導電性遮蔽膜体とから構成してなる半導体装置。

【請求項2】 前記半導体回路は、発振回路である請求項1に記載の半導体装置。

【請求項3】 前記半導体回路は、発振回路と検出回路とから構成してなる請求項1または2に記載の半導体装置。

【請求項4】 基板と、該基板上に形成された発振回路と、該発振回路と離間して前記基板上に設けられた検出回路と、該検出回路と前記発振回路の周囲を取囲む外枠部および該発振回路と検出回路との間に介在させた隔壁部を有して前記基板上に設けられた導電性材料からなる導電性枠体と、前記発振回路と検出回路の表面を覆うように前記基板上に設けられ絶縁材料からなる絶縁性膜体と、該絶縁性膜体の表面を覆うように前記導電性枠体に接触した状態で前記基板上に設けられ導電性材料からなる導電性遮蔽膜体とから構成してなる半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体回路等が搭載された半導体装置に関し、特に、基板上に形成された半導体回路から発生する電磁気的ノイズ等を遮断する半導体装置に関する。

【0002】

【従来の技術】 一般に、例えば発振回路等の半導体回路を基板上に形成する場合、この半導体回路から放射される電磁気的ノイズ等によって同一の基板本体上に形成した検出回路等の周辺回路が影響を受け、S/N比が悪化したり誤動作等を起こす場合がある。これを防止するために、半導体回路に対してシールドを施し、該半導体回路から発生するノイズを遮断する必要がある。

【0003】 そこで、従来技術の半導体装置においては、基板上に半導体回路の周囲を取囲む導電体の障壁を設け、この障壁をアースに接続（接地）することにより、半導体回路から周辺回路に漏洩するノイズを低減するようにしている。

【0004】 また、この種の半導体装置を利用するものとしては、例えばDCB (Diode Capacitor Bridge) 回路と呼ばれる検出回路を用いた加速度センサ等が知られており、該加速度センサの検出部は、例えば特開昭62-232171号公報等に記載され、静電容量センサとして形成されている。そして、このような加速度センサの検出部では、センサに加わる加速度を静電容量の変化

として検出するものである。

【0005】 また、検出回路は、検出部、ダイオード、抵抗等によりブリッジ回路を構成し、検出回路に付設した発振回路から出力される所定周波数を交流電圧としてブリッジ回路に印加することにより、ブリッジ回路を構成する検出部によるコンデンサの静電容量を検出し、増幅して出力できるものである。

【0006】 一方、基板上に形成された発振回路の周囲には、該発振回路を取囲むように、導電体の障壁となる金属製の導電性枠体が基板上に立設され、この導電性枠体をアースに接続することにより、発振回路と検出回路とを電磁気的に遮蔽し、発振回路から基板に平行な方向（以下、水平方向という）に漏洩するノイズを遮断している。

【0007】 このように、従来技術の半導体装置では、発振回路の周囲を取囲んで形成した導電性枠体によって水平方向に放射される発振回路からのノイズを遮断し、発振回路から発生したノイズが同一の基板上に存在する周辺回路（例えば、検出回路）に対して悪影響を与えるのを防止している。

【0008】

【発明が解決しようとする課題】 ところで、上述した従来技術においては、導電性枠体は発振回路の周囲を取囲む障壁として設けられているため、水平方向に伝播するノイズは遮断できるものの、基板と垂直な方向（以下、垂直方向という）に放射されるノイズは遮断することができず、垂直方向に放射されたノイズが導電性枠体の上方から検出回路等に回り込み、検出性能（S/N比）が悪化したり、誤動作等を誘発するという問題がある。

【0009】 これに対し、他の従来技術として、金属製のキャップを発振回路にかぶせ、このキャップにより水平方向と垂直方向のノイズを遮断する方法があるが、前述した加速度センサのように、約4～5mm角の微小なチップ上に発振回路と検出回路とが形成されている集積回路にあっては、発振回路のみにキャップをかぶせることは製造上の理由により困難である。

【0010】 本発明は上述した従来技術の問題に鑑みなされたもので、基板上に形成された半導体回路から発生するノイズを遮断することができる半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】 上述した課題を解決するために、請求項1に記載の発明による半導体装置は、基板と、該基板上に設けられた半導体回路と、該半導体回路の周囲を取囲むように前記基板上に設けられ導電性材料からなる導電性枠体と、前記半導体回路の表面を覆うように前記基板上に設けられ絶縁材料からなる絶縁性膜体と、該絶縁性膜体の表面を覆うように前記導電性枠体に接触した状態で前記基板上に設けられ導電性材料からなる導電性遮蔽膜体とから構成したことにある。

【0012】また、請求項2に記載の発明では、半導体回路を発振回路としたことがある。

【0013】そして、請求項3に記載の発明では、半導体回路を発振回路と検出回路とから構成したことがある。

【0014】一方、請求項4に記載の発明では、基板と、該基板上に形成された発振回路と、該発振回路と離間して前記基板上に設けられたと、該検出回路と前記発振回路の周囲を取囲む外枠部および該発振回路と検出回路との間に介在させた隔壁部を有して前記基板上に設けられた導電性材料からなる導電性枠体と、前記発振回路と検出回路の表面を覆うように前記基板上に設けられ絶縁材料からなる絶縁性膜体と、該絶縁性膜体の表面を覆うように前記導電性枠体に接触した状態で前記基板上に設けられ導電性材料からなる導電性遮蔽膜体とから構成したことがある。

【0015】

【作用】請求項1に記載の発明によれば、半導体回路の周囲を取囲むように導電性枠体を基板上に設け、前記半導体回路の表面を絶縁性膜体を間に挟んで導電性遮蔽膜体により覆うと共に、該導電性遮蔽膜体を導電性枠体と接触した状態に形成したから、半導体回路から発生するノイズをこの導電性枠体と導電性遮蔽膜体によって外部に対して電磁気的に遮断できる。しかも、半導体回路と導電性遮蔽膜体との間に絶縁材料からなる絶縁性膜体を設けたから、半導体回路と導電性材料からなる導電性遮蔽膜体膜とを電気的に絶縁することができる。

【0016】請求項2に記載の発明によれば、半導体回路を発振回路としたから、該発振回路の周囲に設けた導電性枠体と発振回路を覆うように設けた導電性遮蔽膜体により、発振回路から発生する電磁気的ノイズを遮断することができる。

【0017】請求項3に記載の発明によれば、半導体回路を発振回路と検出回路とから構成したから、発振回路から発生するノイズを導電性枠体と導電性遮蔽膜体により遮断し、発振回路と検出回路とを電磁気的に遮蔽することができる。

【0018】請求項4に記載の発明によれば、基板上に形成された発振回路と検出回路の周囲を取囲む外枠部および発振回路と検出回路との間に介在させた隔壁部を有する導電性枠体を設けたから、該導電性枠体により発振回路の周囲と検出回路の周囲とをそれぞれ独立に取囲むことができ、発振回路から発生するノイズを導電性枠体と導電性遮蔽膜体により遮断し、発振回路と検出回路とを電磁気的に遮蔽することができる。

【0019】

【発明の実施の形態】以下、本発明の実施例による半導体装置を、図1ないし図7に基づいて説明するに、本実施例では、基板上に発振回路と検出回路とを形成した加速度センサを例に挙げて示す。

【0020】図において、1は本実施例による半導体装置を示し、該半導体装置1は後述の基板2と、該基板2上に形成した加速度センサ3を構成する発振回路4、検出回路6と、該発振回路4、検出回路6を電磁気的に遮蔽する導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11とから大略構成されている。そして、加速度センサ3は、従来技術で述べた検出回路を用いて構成され、該検出回路では発振回路4から出力される所定周波数の電圧信号を印加し、検出回路6で加速度を静電容量の変化として検出し、増幅して外部に出力する。

【0021】2は半導体装置1の基板を示し、該基板2は例えば低抵抗シリコン等から板状に形成され、該基板2上には、発振回路4と検出回路6とからなる加速度センサ3と、導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11とが形成されている。

【0022】3は基板2上に形成された加速度センサを示し、該加速度センサ3は加速度を静電容量の変化として検出するコンデンサを含む検出回路6を用いて形成され、図2に示すように後述の発振回路4と、該発振回路4と接続配線5を介して接続された検出回路6とから大略構成されている。そして、加速度センサ3は、発振回路4から出力される所定周波数の電圧信号を用いて、検出回路6に形成されたプリッジ回路内のコンデンサ（即ち、図示しない検出部の静電容量）により、基板2に作用した加速度を検出するようになっている。

【0023】4は基板2上に形成された加速度センサ3を構成する半導体回路としての発振回路を示し、該発振回路4は図3に示すように、基板2上に半導体製造技術により製造されている。また、発振回路4は検出回路6に形成されたプリッジ回路に対し、所定周波数の電圧信号を接続配線5を介して入力する。

【0024】6は加速度を静電容量の変化として検出するコンデンサを有するプリッジ回路が形成された検出回路を示し、該検出回路6は図3に示すように、基板2上に半導体製造技術により製造されている。また、検出回路6は発振回路4と共に加速度センサ3を形成している。

【0025】ここで、この加速度センサの検出部は、例えば低抵抗シリコンからなる基板2にエッチング処理等を行うことにより形成した可動部、固定部（図示せず）等から構成されている。そして、基板2に作用した加速度に応じて可動部を変位させ、可動部、固定部にそれぞれ設けた電極間の距離を変化させることにより、電極間に発生する静電容量を変化させて加速度を検出するようになっている。

【0026】従って、加速度センサ3は、発振回路4から検出回路6に対して所定周波数が印加され、基板2に作用した加速度に応じて検出用コンデンサの静電容量が変化し、この静電容量の変化を電圧信号の変化として検出、増幅して出力するものである。

【0027】7は基板2上に設けられた導電性材料からなる導電性枠体を示し、該導電性枠体7は例えばスパッタリング等の手段により、例えばアルミニウム、金、チタン等の金属材料によって形成されている。また、該導電性枠体7は図2に示すように、発振回路4と検出回路6の周囲を取囲む外枠部8と、発振回路4と検出回路6との間に介在させて設けた隔壁部9とから構成され、発振回路4と検出回路6とをそれぞれ独立に取囲んでいる。そして、隔壁部9には図2に示すように、発振回路4と検出回路6とを接続する接続配線5の位置に切欠き9Aが設けられている。また、導電性枠体7は基板2上に設けられたアース配線(図示せず)に接続される。

【0028】10は発振回路4と検出回路6の表面を覆うように形成された絶縁性膜体を示し、該絶縁性膜体10は、例えばCVD法等の手段により二酸化珪素(SiO₂)、窒化珪素(SiN)、ポリイミド等の電気的絶縁性を有する薄膜を基板2に対して成膜することにより形成されている。また、絶縁性膜体10は図1に示すように、発振回路4と後述する導電性遮蔽膜体11との間、検出回路6と導電性遮蔽膜体11との間にそれぞれ介在し、両者の電気的な絶縁を図るものである。

【0029】さらに、絶縁性膜体10には図1に示すように、導電性枠体7と同様の形成パターン(図2参照)を用いたエッチング処理により矩形状の貫通溝10Aが形成され、該貫通溝10Aが導電性枠体7の形成位置において絶縁性膜体10の表面と裏面とを連通することにより、該貫通溝10Aを介して導電性枠体7の上側面7Aと導電性遮蔽膜体11とは接触するようになっている。

【0030】11は絶縁性膜体10の表面を覆うように形成された導電性遮蔽膜体を示し、該導電性遮蔽膜体11は図1に示すように、例えばスパッタリング等の手段により形成された例えはアルミニウム、金、チタン等の金属薄膜からなり、絶縁性膜体10を間に挟んで発振回路4と検出回路6を上方から完全に覆うように設けられている。また、導電性遮蔽膜体11は絶縁性膜体10の貫通溝10Aを介して導電性枠体7の上側面7Aに接触した状態で一体的に形成され、これにより該導電性枠体7と導電性遮蔽膜体11とは電気的に導通状態となり、協働して電磁波に対するシールドを構成している。

【0031】本実施例による半導体装置1は上述の如き構成を有するもので、その製造工程を図3ないし図7に基づいて説明する。

【0032】まず、図3は半導体装置1を構成するために用意した基板2を示し、該基板2には加速度センサ3として、発振回路4、検出回路6および接続配線5が形成されている。

【0033】そして、図4に示す導電性枠体形成工程では、スパッタリング等の手段を用いて基板2上に導電性枠体7を図2に示すようなパターンをもって形成し、該

導電性枠体7の外枠部8により発振回路4と検出回路6の周囲を取囲むと共に、導電性枠体7の隔壁部9を発振回路4と検出回路6の間に介在させて形成し、該発振回路4と検出回路6を独立に取囲むように構成する。また、このとき導電性枠体7は、少なくともその一部を基板2上に形成されたアース配線に接続する。

【0034】次に、図5に示す絶縁性膜体形成工程では、CVD法等の手段により二酸化珪素(SiO₂)、窒化珪素(SiN)等の薄膜を絶縁性膜体10として基板2上に形成し、該絶縁性膜体10によって発振回路4、検出回路6および導電性枠体7の表面を完全に覆う。

【0035】次に、図6に示す貫通溝形成工程では、絶縁性膜体形成工程で形成した絶縁性膜体10に対してRIE等の手段により異方性エッチング処理を行い、該絶縁性膜体10の導電性枠体7形成位置に表面から裏面へと貫通する矩形状の貫通溝10Aを、前記導電性枠体7と同様なパターンをもって形成する。この結果、絶縁性膜体10の貫通溝10Aからは、導電性枠体7の上側面7Aが露出する。

【0036】そして、図7に示す導電性遮蔽膜体形成工程では、スパッタリング等の手段によって絶縁性膜体10の表面にアルミニウム等の金属薄膜を導電性遮蔽膜体11として形成する。このとき、導電性遮蔽膜体11を図2に示す導電性枠体7の形成パターンより広い範囲をもって設けることにより、絶縁性膜体10の表面に貫通溝10Aを介して露出した導電性枠体7の上側面7Aに導電性遮蔽膜体11を一体的に形成する。

【0037】このように、本実施例による半導体装置1では、基板2上に外枠部8と隔壁部9とからなる導電性枠体7をアース配線に接続した状態で立設して形成し、外枠部8により発振回路4と検出回路6の周囲を取囲むと共に、隔壁部9を発振回路4と検出回路6の間に介在させて設けて発振回路4と検出回路6を独立して取囲むようにしたから、発振回路4から水平方向に漏洩するノイズを導電性枠体7により遮断できる。

【0038】また、導電性遮蔽膜体11を、絶縁性膜体10を挟んで発振回路4と検出回路6とを覆うように形成すると共に、前記導電性枠体7の上側面7Aと接触した状態で設け、該導電性枠体7と電気的な導通状態となるようにしたから、発振回路4から垂直方向に漏洩するノイズを導電性遮蔽膜体11により遮断でき、導電性枠体7と導電性遮蔽膜体11とが協働することによって発振回路4と検出回路6とを電磁気的に遮蔽することができる。

【0039】かくして、導電性枠体7と導電性遮蔽膜体11とにより、発振回路4の周囲に電磁気的な遮蔽空間を形成でき、発振回路4から外部に漏洩する電磁波ノイズを著しく低減することができる。従って、発振回路4から漏洩したノイズ等に起因する検出回路6の誤動作や

検出性能の低下を確実に防止でき、基板2に形成した加速度センサ3の検出精度および信頼性を大幅に向ふ向上することができる。

【0040】また、発振回路4と検出回路6の表面に絶縁性膜体10を形成し、発振回路4と検出回路6とは、絶縁性膜体10を挟んで導電性遮蔽膜体11に覆われるようにしたから、該絶縁性膜体10により発振回路4と導電性遮蔽膜体11、検出回路6と導電性遮蔽膜体11との間の電気的な絶縁をそれぞれ図ることができ、発振回路4や検出回路6の種類や構造に関係なく導電性遮蔽膜体11を形成でき、発振回路4と検出回路6の作動に影響を与えることなく導電性遮蔽膜体11を容易に形成することができる。

【0041】また、導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11を半導体製造技術により形成できるから、発振回路4と検出回路6とが入組んでいて複雑な形状の導電性枠体7が必要な場合や、基板2の垂直方向上側に僅かな隙間しかしない場合等であっても、発振回路4と検出回路6に対して導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11を確実かつ容易に形成することができる。

【0042】なお、前記実施例においては、発振回路4と検出回路6に対し導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11を形成したが、本発明はこれに限らず、発振回路4と検出回路6のうち少なくとも発振回路4を取囲むように導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11を形成する構成とし、発振回路4から発生するノイズ等を遮断すればよく、検出回路6には上記遮蔽構造を施す必要はない。

【0043】また、前記実施例においては、1個の発振回路4に対して導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11を形成したが、本発明はこれに限らず、複数個の発振回路4が存在する場合にも適用でき、導電性枠体7の形成パターンを工夫して各発振回路4の周囲を取囲むようにすることにより、複数個の発振回路4に対して導電性枠体7、絶縁性膜体10および導電性遮蔽膜体11を形成してもよい。この場合、発振回路4および検出回路6の形成工程において、半導体製造技術により導電性枠体7を同時に形成することもできる。

【0044】また、前記実施例においては、導電性枠体7を基板2上のアース配線に接続したが、本発明はこれに限らず、導電性遮蔽膜体11をジャンパー線等を介してアース配線に接続してもよい。

【0045】さらに、前記実施例においては、半導体装置1に加速度センサ3を形成する場合を例に挙げて説明したが、本発明はこれに限らず、基板上に発振回路を形成する場合であれば適用することができ、例えば半導体製造技術により形成された速度センサ、角速度センサ等の処理回路等のように所定周波数の交流信号が必要なものに適用してもよく、さらに例えば電波の発信、受信等

に用いる発振回路に適用することにより、無線機等に用いられる半導体装置を形成してもよい。

【0046】

【発明の効果】以上詳述した通り、請求項1に記載の発明によれば、半導体回路の周囲を取囲むように導電性枠体を基板上に設け、前記半導体回路の表面を絶縁性膜体を間に挟んで導電性遮蔽膜体により覆うと共に、該導電性遮蔽膜体を導電性枠体と接触した状態に形成したから、導電性枠体と導電性遮蔽膜体によって発振回路の周囲に電磁気的な遮蔽空間を形成することができる。従つて、半導体回路から外部に漏洩するノイズを確実に低減でき、ノイズによる半導体装置の誤動作を防止し、半導体装置の信頼性を大幅に向ふ向上することができる。

【0047】また、半導体回路と導電性遮蔽膜体との間に絶縁性膜体を介在させたから、半導体回路の種類や構造を制限することなく、導電性遮蔽膜体を容易に形成することができる。そして、導電性枠体、絶縁性膜体および導電性遮蔽膜体を半導体製造技術により高精度に形成できるから、複雑な形状をもって周辺の回路と入組んだ半導体回路に対しても、導電性枠体、絶縁性膜体および導電性遮蔽膜体を容易に形成することができる。

【0048】請求項2に記載の発明によれば、半導体回路を発振回路としたから、該発振回路の周囲に設けた導電性枠体と発振回路を覆うように設けた導電性遮蔽膜体により、発振回路から発生する電磁気的ノイズを確実に遮断でき、周辺の回路の誤動作を防止することができる。

【0049】請求項3に記載の発明によれば、半導体回路を発振回路と検出回路とから構成したから、発振回路と検出回路とを電磁気的に確実に遮蔽することができ、発振回路から発生するノイズにより検出回路の誤動作や検出精度の低下を確実に防止することができる。

【0050】請求項4に記載の発明によれば、発振回路と検出回路の周囲を取囲む外枠部および発振回路と検出回路との間に介在させた隔壁部を有する導電性枠体を設けたから、該導電性枠体により発振回路の周囲と検出回路の周囲とをそれぞれ独立に取囲むことができ、発振回路と検出回路とを電磁気的に確実に遮蔽し、検出回路の誤動作や検出精度の低下を防止することができる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置を示す縦断面図である。

【図2】図1中の矢示II-II方向の横断面図である。

【図3】基板に発振回路と検出回路を形成した状態を示す縦断面図である。

【図4】導電性枠体形成工程により発振回路と検出回路の周囲に導電性枠体を形成した状態を示す縦断面図である。

【図5】図4による導電性枠体形成工程に続く絶縁性膜体形成工程により、発振回路と検出回路の表面に絶縁性

膜体を形成した状態を示す縦断面図である。

【図6】図5による絶縁性膜体形成工程に続く貫通溝形成工程により、絶縁性膜体の導電性枠体形成位置に貫通溝を形成した状態を示す縦断面図である。

【図7】図6による貫通溝形成工程に続く導電性遮蔽膜体形成工程により、絶縁性膜体の表面に導電性遮蔽膜体を形成した状態を示す縦断面図である。

【符号の説明】

1 半導体装置

2 基板

3 加速度センサ

4 発振回路

6 検出回路

7 導電性枠体

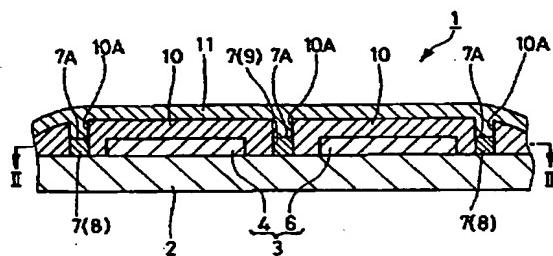
8 外枠部

9 隔壁部

10 絶縁性膜体

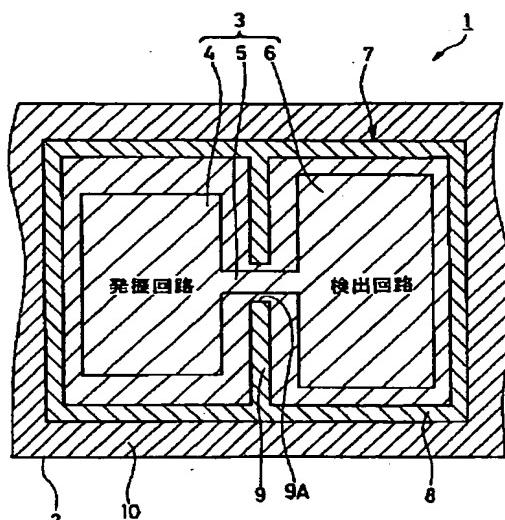
11 導電性遮蔽膜体

【図1】

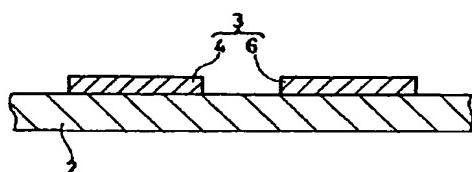


【図3】

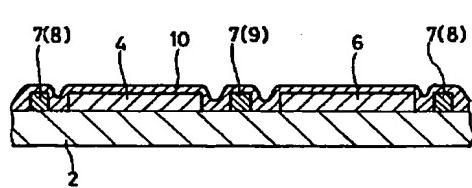
【図2】



【図4】



【図5】



【図6】

